PATENT ABSTRACTS OF JAPAN

(11)Publication number:

07-013912

(43)Date of publication of application: 17.01.1995

(51)Int.CI.

G06F 13/12

(21)Application number: 05-184537

(71)Applicant: NIPPONDENSO CO LTD

(22)Date of filing:

28.06.1993

(72)Inventor: **MURAKAMI KENJI**

NOMURA HAJIME

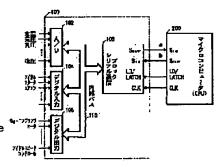
GOTO YOSHIFUMI

(54) INPUT AND OUTPUT PROCESSING IC

(57)Abstract:

PURPOSE: To make an input and output processing IC compact by reducing a load on a CPU.

CONSTITUTION: In an input and output processing IC 100 for a vehicle control equipment in which an A/D converter 102, digital input 104, and digital output 106 are integrated into one chip, each block is connected through an inside bus 110. The input and output processing IC 100 is connected through four lines, that is, Sin, Sout, CLK, and LD/LATCH with a microcomputer 200, and serial communication is operated with the microcomputer side by a serial communication block 108. At the time of simultaneously transferring data with the microcomputer side, a shift register is prepared on each side, and the shift destination of high-order bits is the low-order bits of the other shift register. Thus, the transmission of instruction data and the reception of input data can be simultaneously attained, and a processing time can be shortened. A command for instructing A/D conversion or input, and bits for designating a channel or output data are prepared for the head of the transmitted instruction data.



BEST AVAILABLE COP.

(母誌+要約+請求の範囲)

油用 (19](発行国]日本国特許庁(JP) (12)(公翰捷別)公開特許公報(A) (11)(公開卷号]特開平7-13912 (43)(松開日)中成7年(1995)1月17日 (54)(発明の名称]入出力処理((54)[国際特許分類策6版] 8133-5B 320 13/12 **608F**

۰ že že 됮 シリアル通信・ブロック 内部パス 9 8 o, デジタル入力 デジタル出力 8 74-27/37 7452E-F-会に

レイクロロンアューを置

žé

f理士】 5名又は名称]蔣谷 1

日本電装株式会社内

쓮

)「要約) 目的)入出力処理にを、CPU に対し軽負担な処理とし、コンパクトにする。 情値 1人の 変換器 10分子ジタル人力104 デジタル出力106 を一チップにした、車両制御機器用の入出力処理に 100で、 ・プロックは内部パス110 で接続されている。マイコン200 とはSin、Sout CKLLD/LATCH の4ラインで接続され、シリアル ・指プロック108 でマイコン間とシリアルに高を行う。データを同時にマイコン側と受速しするには、それそれの側にシリンスタを指定し、上位ピットのシフト先を、相手のシフトレジスタの下位ピットとす。このような構成で、指令データの しジスタを用意し、上位ピットのシフト先を、相手のシフトレジスタの下位ピットとす。このような構成で、指令データの と指と人力データの受信とを同時に行うことができ、処理時間も短縮できる。送信されてくる指令データの先頭にはAD と換か入力がを指示するコマンド、続いてチャンネルを指定するピットもしくは出力データが用意される。 **夺通**工 送 数

7

詳細な説明

(条明の样梅な説明)
(を見のの1)
(を表生の利用が野)本発明は、制御用等のコンピュータに接続される入出力処理ICに関し、特に複数の入出力機能をもつ入出力処理ICに関する。
もつ入出力処理ICに関する。
(2002)
(放金の技術)従来例とに図8に示されるような構成で、A/D変換器、デジタル入力、デジタル出力等のマイクロコンピュータ(以下マイコ)の周辺の成本にに信号機が引き回されて接続されていた。これは各ICは個別に設計、競されるようなは表し、その10周辺の表生に同じに対してがよっかのPUの周辺の表生に関係が引き回されて接続されていた。これは各ICは個別に設計、整定されることが多く、その間辺の信号・アークテンの人工対策の必要性から付加的な部品を必要とし、また。目的によって構成を変えたりする場合に自由度があるため、周辺ICを含めて形成することはなかった。
(2003)またこのような構成であるので、データ取り込みには高速で入出力を繰り返すことが難し、例えばA/D変換は一般に10ビット変次比較型で、A/D変換に要する時間は、変次比較型で02ms ~ 0.3msを要する。そのために、所定時間に対すったの他の割込処理が入って、その割込を処理する間にもう次のデータをサンブリングしなくにはならなくなり、所定時間内に目標通りのデータを収集することが個音される場合もあった。
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)
(2004)

[0005] 【課題を解決するための手段】上記の課題を解決するため第一発明の構成は、制御用のマイクロコンピュータに接続された、必 は、数マイクロコンピュータとの間で送受値されるデータが著類されるフラトレジスタと、LCの1チップ上に構成された、少なくとも人力バッファロの国と出か、ウッフの国的とよりに、出力データを扱っイクロコンピュータから前記シフトレジスタにシリアルデータとして受信して前記出力パッフア回路に出か、アルデータとして受信して前記出力パッフア回路に出か、コンドン・フの受信に同期して、前記入力パッフア回路に入力された入力データを前記シフトレジスタを介して該マイクロコンピュータヘシリアルデータとして送信する通信手段を有すされた入力データを前記シフトレジスタを介して話マイクロコンピュータヘシリアルデータとして送信する通信手段を有す

(0006)第二発明の構成は、制御用のマイクロコンピュータに接続され、膝マイクロコンピュータとの間で送受信されるデータが蓄積されるシフトレジスタと、ICの1チップ上に構成された、少なくともイン変換器と出力がジファ回路とを有し、指令データと出力データを膝マイクロコンピュータから前起シフトレジスタにシリアルデータとして受傷する通信手段を有し、前記指令データが前記人と変換器に対するコマンドである時は、前記出力データは選択すべき人のティンチルのデータがトーのデータが上の部のイン変換器に対するコマンドである時は、前記出分データは選択すべき人のティンチルのある時は、前記出台データが出力関係に対するデータビンで構成され、前記指令データがはカブするデータビンで構成され、前記指令データが出力関係に対するコマンドである時は、前記出力データは前院は、前記はの1キップ上に入力がシフの部を有し、前記通信手段は、前記指令データが数マイクロコンピュータがを受信された段階で、入出力関係のコマンドと判定された場合に、膝マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータが数マイクロコンピュータを含んがデータ列から、入力デェック

(0008] [作用]7 [元代] [元代]

『作用子ジタル入出力、A/D変換など各機能のICからのパラレルデータが、内部パスを通じて、シリアル通信プロック 「より、シリアルデータとして、わずかな信号ラインでマイコンとやりとりされ、マイコン側からの指令と、周辺ICからのデ ラムでデータ通信を行うことができる。 「0009] 「参照の効果」周辺ICがひとまとめになり、信号ラインが減少するので、基板のスペースが不要となり、装置がコンペクト 「でる。また多種のデータをわずかなシリアルラインでマイコン側に通信でき、装置の一部として組み込むことが容易に なる。またの中の設計にも余裕がとれる。またCPUのプログラムを低くできて、処理が短時間で実行できるので、無駄な 算行時間が合け、制御等に有効に利用できるようになる。 [0010]

c:パランル入力データも包定してシフトレジスタへ伝送

うように、本発明の入出方の理(CLEよって、入出力処理は非常にスマートな処理が実現でき、ハードウェリとした構成となるため、装置も非常にコンパクトにできる。CPUにとっても必要となる信号ラインが少なく計段暗でいままで専有していたピンを他の機能に割り当てることができ、CPUの性能向上にも投立てる

d:シリアルデータを固定してシフトレジスタから出力バッファヘ転送

A 104 3

E/VIDH 3 3

DVVI

3

はかバッフ

トとしてある。図点のにするイントの文文、アントンス学して表別の8世ンによっている。ファントンス学のます。大人である。図点のにするインの文文、アントンス学になるので、その指令で特もからでは、様くと、シースントンス学のは、アントンス学のでは、大人の文文・アントンス学のは、アントンス学のでは、大の上である。図点のには、指定したチャンネルの変換の14年でイコンがら送フィルを発表する。エイの変換のコンドが出力できる。このようなのステンでは、大の上の文文学のは14年でイコンがら送フィルンとは、またそのため、送信されてくるデータの先頭に入し立変を指示するコマンドと続いてキャンネルを指定するビットが自身である。またそのため、送信されてくるデータの先頭に入し立変換なのが入力指示なのかに、送られてきたので、その年の工人の変換では、大力を受している。一名の名字を一のよります。この場合、オーンスーンでは、近日では、大力では、大力では、大力では、一名の子の上では、一名の子のには、一名の子の正は、一名、そしてコマンドがシントされてきる。この場合、オーンスナカデータので、その5をセット、この場合、オーンスカーンが送付される。この場合、表の14年では、イン変換データとカーデータので、後中でカケーンでは、一般できる。この場合、オーンス・アンドがシントされてきて、カロの場合、オークンオーデータので、そのビットには必要をある。「一般のでは、この場合、表ののでは、カーンでは、カーンを対しているが、一般では、一般にない、カーンを対している。「一般にないないないないないないないないないない。」このような方式でコマンドの違いにより、必要とするみ、方点数の可換えを自由に設定できる。
「2015」のA、D変換の場合のCPU側のルーチンは図信いのような方のエーマートでは、大力と出力の処理は、エータが送付される。このような方式では、このようの型を対している場合のでは、このよの型の間にまず前回に指示して、インスを従わり、それがらシリアル通信の処理を対している。「2016」に対している場合の型をリアーチャート概でもあった。このためプロを検が含まれている場合の理解をする。図るの型にでいる、プログラムの変換が、メディンスーンを検抜いる手にている。「1916」とのま型のエーンをがある。「2016」といまでは、ステップののでは一のでは、1916」といまでは、ステップを使かが、対してはないまでは、ステップのでは、ステップのでは、ステッグには、ステッグには、ステッグには、ステッグには、ステッグには、ステッグには、1916)には、ステッグにはは、ステッグにはは、ステッグには、ステッグにはは、ステッグにはは、ステッグには、ステッグには、ステッグには、ステッグには、ステッグには、ステッグには、ステッグには、ステッ

http://www.ipdl.jpo-miti.go.jp/Tokujitu/tjitement.ipdl

図

